

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

Docket No.: 60188-042

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Junya YAMASHITA, et al. :
Serial No.: : Group Art Unit:
Filed: March 12, 2001 : Examiner:
For: PROCESSOR :



**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

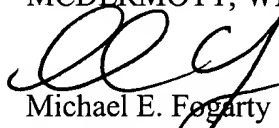
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-066496, filed March 10, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prp
Date: March 12, 2001
Facsimile: (202) 756-8087

60188-042
YAMASHITA, et al.
MARCH 12, 2001

McDermott, Will & Emery

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 3月10日

出 願 番 号
Application Number:

特願2000-066496

出 願 人
Applicant(s):

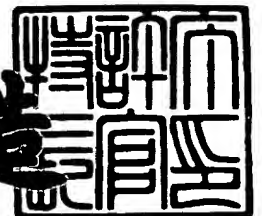
松下電器産業株式会社



2001年 1月19日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3112858

【書類名】 特許願

【整理番号】 2038120006

【提出日】 平成12年 3月10日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 9/32

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 山下 順也

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 田村 裕史

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 山元 猛晴

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 荻田 吉博

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 演算器制御装置

【特許請求の範囲】

【請求項 1】 分岐前の最後の命令であることを検出する検出手段と、
前記検出手段によって前記最後の命令が検出された時、当該命令の実行と同時に分岐先に制御を移す制御手段を備えることを特徴とする演算器制御装置。

【請求項 2】 各々の演算処理の先頭アドレスと終了アドレスを記憶する記憶装置と、

当該処理の先頭アドレスと終了アドレスを前記記憶装置から選択する選択手段と、

前記選択手段によって選択された先頭アドレスから実行命令アドレスを生成する生成手段と、

前記生成手段により生成された実行命令アドレスに格納されている命令を実行する命令実行手段と、

前記生成手段により生成された実行命令アドレスと、前記選択手段によって選択された終了アドレスを比較する比較手段と、

前記比較手段でアドレスが一致した場合、当該命令の実行と同時に前記選択手段により選択されている先頭アドレスと終了アドレスを次処理のものに切り替える選択切り替え手段を備えることを特徴とする演算器制御装置。

【請求項 3】 各々の演算処理の先頭アドレスと処理長を記憶する記憶装置と

当該処理の先頭アドレスと処理長を前記記憶装置から選択する選択手段と、

各演算処理の先頭からの相対アドレスをカウントするカウント手段と、

前記選択手段によって選択された先頭アドレスとカウント手段の出力から実行命令アドレスを生成する生成手段と、

前記生成手段により生成された実行命令アドレスに格納されている命令を実行する命令実行手段と、

前記相対アドレス値と、前記選択手段によって選択された処理長を比較する比較手段と、

前記比較手段による比較値が一致した場合、当該命令の実行と同時に前記選択手段により選択されている先頭アドレスと処理長を次処理のものに切り替える選択切り替え手段を備えることを特徴とする演算器制御装置。

【請求項 4】 各々の演算処理の先頭アドレスを記憶しておく記憶装置と、
当該処理の先頭アドレスを前記記憶装置から選択する選択手段と、
前記選択手段によって選択された先頭アドレスから実行命令アドレスを生成する生成手段と、

前記生成手段により生成された実行命令アドレスに格納されている命令を実行する命令実行手段と、

演算器が処理対象とする命令コードの中に設けられ、各演算処理の最終命令であることを示すフラグを検出する検出手段と、

前記フラグを検出した場合、当該命令の実行と同時に前記選択手段により選択されている先頭アドレスを次処理のものに切り替える選択切り替え手段を備えることを特徴とする演算器制御装置。

【請求項 5】 記憶装置の記憶内容を命令実行手段により書き換え可能としたことを特徴とする請求項 2 または請求項 3 または請求項 4 記載の演算器制御装置。

【請求項 6】 記憶装置として上位プロセッサにより制御され、書き換え可能な記憶装置を用いることを特徴とする請求項 2 または請求項 3 または請求項 4 記載の演算器制御装置。

【請求項 7】 上位プロセッサから書込みの行われる第 1 段目の記憶手段と、この第 1 段目の記憶手段から書込まれる第 2 段目の記憶手段で記憶装置を構成し、前記第 1 段目、第 2 段目の記憶手段への書き込みタイミングを別制御することを特徴とする請求項 2 または請求項 3 または請求項 4 記載の演算器制御装置。

【請求項 8】 上位プロセッサから書込みの行われる第 1 段目の記憶手段と、この第 1 段目の記憶手段から書込まれる第 2 段目の記憶手段で記憶装置を構成し、前記第 1 段目、第 2 段目の記憶手段への書き込みタイミングを別制御すると共に、第 1 段目の記憶装置としてレジスタを用いたことを特徴とする請求項 2 または請求項 3 または請求項 4 記載の演算器制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プログラムカウンタの制御により処理を行う演算器の分岐処理における制御装置に関する。

【0002】

【従来の技術】

一般に演算器の制御は命令の格納場所を示すプログラムカウンタの値に従い、命令を順次処理することで行われる。連続したアドレスに格納された命令群の処理はプログラムカウンタをハードウェアでカウントアップすることで行い、分岐により非連続なアドレスに制御を移行するには、分岐処理によりプログラムカウンタの値を対象アドレスに書き換えることで行っている。

【0003】

【発明が解決しようとする課題】

従来の技術では分岐処理において、分岐命令を発行後プログラムカウンタの書き換えを行っており、その処理に1サイクル以上の時間を費やしている。また、演算器で処理する一連の演算は複数の処理単位に区切られており、それぞれの演算処理を切り替える際、分岐処理を行っている。これらのことから、複数の演算処理を順次切り替えて実行していく演算器制御方式では、分岐処理により総処理時間が増加し、特に高速性が求められるシステムでは、この処理時間の増加が問題となる。

【0004】

本発明は、この分岐処理による処理時間の増加を抑制することを目的としており、分岐処理に命令サイクルを費やさない演算器制御方式を提供するものである。また、処理の高速化と共に、処理内容の柔軟性を確保するための方法も提供するものである。

【0005】

【課題を解決するための手段】

上記課題を解決するために、本発明の請求項1記載の演算器制御装置は、分岐

前最後の命令であることを検出する検出手段と、前記検出手段によって分岐が検出された時、当該命令の実行と同時に分岐先に制御を移す制御手段を備えるものである。

【0006】

上記構成により、固定分岐処理に命令サイクルを費やさず、総演算時間を短縮する効果がある。

【0007】

上記課題を解決するために、本発明の請求項2記載の演算器制御装置は、各々の演算処理の先頭アドレスと終了アドレスを記憶する記憶装置と、当該処理の先頭アドレスと終了アドレスを前記記憶装置から選択する選択手段と、前記選択手段によって選択された先頭アドレスから実行命令アドレスを生成する生成手段と、前記生成手段により生成された実行命令アドレスに格納されている命令を実行する命令実行手段と、前記生成手段により生成された実行命令アドレスと、前記選択手段によって選択された終了アドレスを比較する比較手段と、前記比較手段でアドレスが一致した場合、当該命令の実行と同時に前記選択手段により選択されている先頭アドレスと終了アドレスを次処理のものに切り替える選択切り替え手段を備えるものである。

【0008】

上記構成により、固定分岐処理に命令サイクルを費やさず、総演算処理を短縮する効果がある。

【0009】

上記課題を解決するために、本発明の請求項3記載の演算器制御装置は、各々の演算処理の先頭アドレスと処理長を記憶する記憶装置と、当該処理の先頭アドレスと処理長を前記記憶装置から選択する選択手段と、各演算処理の先頭からの相対アドレスをカウントするカウント手段と、前記選択手段によって選択された先頭アドレスとカウント手段の出力から実行命令アドレスを生成する生成手段と、前記生成手段により生成された実行命令アドレスに格納されている命令を実行する命令実行手段と、前記相対アドレス値と、前記選択手段によって選択された処理長を比較する比較手段と、前記比較手段による比較値が一致した場合、当該

命令の実行と同時に前記選択手段により選択されている先頭アドレスと処理長を次処理のものに切り替える選択切り替え手段を備えるものである。

【 0 0 1 0 】

上記構成により、固定分岐処理に命令サイクルを費やさず、総演算処理を短縮する効果がある。また、命令の実アドレスと処理長を比較した場合、処理長の方がデータ量が少なく、データ保持のためのハードウェア量を削減できる効果もある。

【 0 0 1 1 】

上記課題を解決するために、本発明の請求項 4 記載の演算器制御方式は、各々の演算処理の先頭アドレスを記憶しておく記憶装置と、当該処理の先頭アドレスを前記記憶装置から選択する選択手段と、前記選択手段によって選択された先頭アドレスから実行命令アドレスを生成する生成手段と、前記生成手段により生成された実行命令アドレスに格納されている命令を実行する命令実行手段と、演算器が処理対象とする命令コードの中に設けられ、各演算処理の最終命令であることを示すフラグを検出する検出手段と、

前記フラグを検出した場合、当該命令の実行と同時に前記選択手段により選択されている先頭アドレスを次処理のものに切り替える選択切り替え手段を備えるものである。

【 0 0 1 2 】

上記構成により、固定分岐処理に命令サイクルを費やさず、総演算処理を短縮する効果がある。また、演算処理切り替えのために保持しておくアドレスは先頭アドレスのみであり、データ保持のためのハードウェア量を削減できる効果もある。

【 0 0 1 3 】

上記課題を解決するために、本発明の請求項 5 記載の演算器制御方式は、請求項 2, 3 および 4 記載の記憶装置の記憶内容を命令実行手段により書き換え可能としたものである。

【 0 0 1 4 】

上記構成により、本発明の演算器制御方式は、最初に前記記憶装置に確保され

た演算処理だけでなく、命令により処理内容を変更できるという効果がある。

【 0 0 1 5 】

上記課題を解決するために、本発明の請求項 6 記載の演算器制御方式は、請求項 2, 3 および 4 記載の記憶装置として、上位プロセッサにより制御され、書き換え可能な記憶装置を用いるものである。

【 0 0 1 6 】

上記構成により、本発明の演算器制御方式は、最初に前記記憶装置に確保された演算処理だけでなく、上位プロセッサの制御により処理内容を変更できるという効果がある。

【 0 0 1 7 】

上記課題を解決するために、本発明の請求項 7 記載の演算器制御方式は、上位プロセッサから書込みの行われる第 1 段目の記憶手段と、この第 1 段目の記憶手段から書込まれる第 2 段目の記憶手段で記憶装置を構成し、前記第 1 段目、第 2 段目の記憶手段への書き込みタイミングを別制御するものである。

【 0 0 1 8 】

上記構成により、上位プロセッサから第 1 段目の記憶手段への書き込みの際、演算器が処理中であっても、第 2 段目の記憶手段には影響を与えないため、処理中の内容は保証される。逆に上位プロセッサからの書き込みは任意のタイミングで行えるため、上位プロセッサが演算器の処理終了を待つことがなくなり、上位プロセッサの処理を高速化する効果もある。

【 0 0 1 9 】

上記課題を解決するために、本発明の請求項 8 記載の演算器制御方式は、上位プロセッサから書込みの行われる第 1 段目の記憶手段と、この第 1 段目の記憶手段から書込まれる第 2 段目の記憶手段で記憶装置を構成し、前記第 1 段目、第 2 段目の記憶手段への書き込みタイミングを別制御すると共に、第 1 段目の記憶装置としてレジスタを用いたものである。

【 0 0 2 0 】

上記構成により、上位プロセッサから第 1 段目のレジスタへの書き込みの際、演算器が処理中であっても、第 2 段目の記憶手段には影響を与えないため、処理

中の内容は保証される。逆に上位プロセッサからの書き込みは任意のタイミングで行えるため、上位プロセッサが演算器の処理終了を待つことがなくなり、上位プロセッサの処理を高速化する効果もある。

【 0 0 2 1 】

【発明の実施の形態】

（実施の形態 1）

図 1 は本発明の実施の形態 1 に係わる分岐処理時の演算器制御装置を示すもので、以下、その構成について説明する。

【 0 0 2 2 】

同図において、1 0 0 は先頭アドレス格納部 1 1 1、1 1 2、1 1 3 とそれぞれに対応する終了アドレス格納部 1 2 1、1 2 2、1 2 3 から成る記憶装置で、各アドレス格納部 1 1 1 ～ 1 1 3、1 2 1 ～ 1 2 3 は上位プロセッサ 7 0 0 により書き換え可能である。また、各アドレス格納部 1 1 1 ～ 1 1 3、1 2 1 ～ 1 2 3 はプログラム格納部 5 0 0 に格納される命令によっても書き換え可能で、命令による書き換え時にセレクト信号制御部 2 1 0 により選択され、演算部 6 0 0 からの出力を格納する。なお、本実施形態では先頭、終了アドレス格納部の数は各々 3 である場合を示しているが、アドレス格納部の数が限定されるものではなく、任意数のアドレス格納部で構成することもできる。

【 0 0 2 3 】

1 1 1、1 1 2、1 1 3 は各演算処理の先頭命令アドレスを保持する先頭アドレス格納部、1 2 1、1 2 2、1 2 3 は各演算処理の終了命令アドレスを保持する終了アドレス格納部、2 0 1 はセレクト信号制御部 2 1 0 からの制御信号により選択した先頭アドレスを加算器 4 0 0 に出力するセクタ、2 0 2 はセレクト信号制御部 2 1 0 からの制御信号により選択した終了アドレスを比較部 2 2 0 に出力するセクタ、2 1 0 はセクタ 2 0 1、2 0 2 に現演算処理の先頭アドレス、終了アドレスを選択させるセレクト信号を出力するセレクト信号制御部である。このセレクト信号は、比較部 2 2 0 から現処理アドレスと終了アドレスが一致したことを示す信号を入力することにより、次演算処理を選択するように切り替わる。本実施形態の場合、各先頭アドレス格納部 1 1 1 ～ 1 1 3 および各終了

アドレス格納部 1 2 1 ~ 1 2 3 の切り替えは * 1 → * 2 → * 3 → * 1 → * 2 → * 3 → * 1 → … と順番に繰り返される。また、本セレクト信号制御部 2 1 0 は演算部 6 0 0 からの出力を記憶装置 1 0 0 に格納する際のセレクト信号を記憶装置 1 0 0 に出力する。

【 0 0 2 4 】

2 2 0 は加算器 4 0 0 から入力した現処理命令の絶対アドレスとセクタ 2 0 2 で選択された現演算処理の終了アドレスを比較する比較部で、両アドレスが一致した場合、プログラムカウンタ 3 0 0、および、セレクト信号制御部 2 1 0 に信号を出力する。3 0 0 は各演算処理における先頭アドレスからの相対アドレス値を格納し、加算器 4 0 0 に出力するプログラムカウンタで、クロックサイクル毎に格納している相対アドレス値を自動的にカウントアップする。また、本プログラムカウンタ 3 0 0 は比較部 2 2 0 により現処理アドレスと終了アドレスが一致したことを示す信号によりゼロにリセットされる。

【 0 0 2 5 】

4 0 0 は加算器であり、セクタ 2 0 1 により選択された現演算処理の先頭アドレスとプログラムカウンタ 3 0 0 から入力された相対アドレスを加算し、命令の絶対アドレスを求める。本加算器で求められた命令の絶対アドレスは、プログラム格納部 5 0 0 に出力される一方、比較部 2 2 0 に出力され終了アドレスとの比較が行われる。5 0 0 は加算器 4 0 0 から入力される命令の絶対アドレスに格納されている命令を出力するプログラム格納部、6 0 0 はプログラム格納部 5 0 0 から出力された命令を処理する演算部、7 0 0 は本実施例における演算器を含むシステムを制御する上位プロセッサで、任意のタイミングで記憶装置 1 0 0 にデータを書き込む。

【 0 0 2 6 】

以上のように構成された演算器制御装置について、その動作を説明する。

【 0 0 2 7 】

図 2 は図 1 に示す演算器制御装置のフロー図である。以下、各ステップを説明する。まず、ステップ 1 1 で、プログラムカウンタ 3 0 0、記憶装置 1 0 0、セレクト信号制御部 2 1 0 を初期化する。ステップ 1 2 で記憶装置 1 0 0 から選択

された演算処理の先頭アドレスをロードする。ステップ 1 3 で先頭アドレスとプログラムカウンタ 3 0 0 の値を加算器 4 0 0 で加算して実行する命令の絶対アドレスを求める。本処理の後、ステップ 1 4 および 1 8 以降の処理は並列で行う。

【 0 0 2 8 】

ステップ 1 4 で現処理命令アドレスと選択されている終了アドレスを比較する。一致する場合はステップ 1 6 の処理を実行し、一致しない場合はステップ 1 5 の処理を実行する。ステップ 1 6 でプログラムカウンタ 3 0 0 をカウントアップし、ステップ 1 2 の処理に戻る。ステップ 1 6 でプログラムカウンタ 3 0 0 をゼロにリセットする。ステップ 1 7 で次処理の先頭アドレスおよび終了アドレスを選択するよう、セレクト信号を切り替え、ステップ 1 2 の処理に戻る。ステップ 1 8 で命令をフェッチする。ステップ 1 9 で命令を実行するが、その命令が記憶装置 1 0 0 の書き換えであった場合、記憶装置 1 0 0 の書き換えを行う。

【 0 0 2 9 】

以上のように、複数の演算処理を切り替えて処理していく際、各演算処理の先頭アドレスと終了アドレスをあらかじめ記憶装置 1 0 0 に格納しておき、実行している命令アドレスが終了アドレスと等しくなった時に、先頭アドレスと終了アドレスをハードウェアで次演算処理に切り替えることで、固定分岐処理に命令サイクルを費やさず、総演算処理を短縮する効果がある。

【 0 0 3 0 】

(実施の形態 2)

図 3 は本発明の実施の形態 2 に係わる分岐処理時の演算器制御装置を示すもので、以下、その構成について説明する。

【 0 0 3 1 】

同図において、先頭アドレス格納部 1 1 1, 1 1 2, 1 1 3、セクタ 2 0 1、2 0 2、セレクト信号制御部 2 1 0、プログラムカウンタ 3 0 0、加算器 4 0 0、プログラム格納部 5 0 0、演算部 6 0 0、上位プロセッサ 7 0 0 は上述した実施の形態 1 に示した同符号のブロックと同様の機能を有する。

【 0 0 3 2 】

1 0 1 は先頭アドレス格納部 1 1 1、1 1 2、1 1 3 とそれぞれの処理長格納部 1 3 1、1 3 2、1 3 3 から成る記憶装置で、各格納部 1 1 1 ~ 1 1 3、1 3 1 ~ 1 3 3 は上位プロセッサ 7 0 0 により書き換え可能である。またそれらの各格納部 1 1 1 ~ 1 1 3、1 3 1 ~ 1 3 3 はプログラム格納部 5 0 0 に格納される命令により書き換え可能である。その命令による書き換え時、当該アドレス格納部はセレクト信号制御部 2 1 0 により選択され、演算部 6 0 0 からの出力を格納する。なお、本実施形態では先頭アドレス／処理長格納部の数は各々 3 である場合を示しているが、格納部の数を限定するものではなく、任意数の格納部で構成することもできる。

【0 0 3 3】

1 3 1、1 3 2、1 3 3 は各演算処理の処理長を保持する処理長格納部で、実アドレスと処理長を比較した場合、処理長の方がデータ量が少なく、データ保持のためのハードウェア量を削減できる。2 2 1 はプログラムカウンタ 3 0 0 から入力した現処理命令の先頭アドレスからの相対値とセクタ 2 0 2 で選択された現演算処理の処理長を比較する比較部で、両者が一致した場合、プログラムカウンタ 3 0 0、および、セレクト信号制御部 2 1 0 に信号を出力する。

【0 0 3 4】

以上のように構成された演算器制御方式について、その動作を説明する。

【0 0 3 5】

図 4 は図 3 に示す演算器制御方式のフロー図である。以下、各ステップを説明する。ステップ 2 1 でプログラムカウンタ 3 0 0、記憶装置 1 0 1、セレクト信号制御部 2 1 0 を初期化する。ステップ 2 2 で記憶装置 1 0 1 から選択された演算処理の先頭アドレスをロードする。ステップ 2 3 で先頭アドレスとプログラムカウンタ 3 0 0 の値を加算器 4 0 0 で加算して実行する命令の絶対アドレスを求める。本処理の後、ステップ 2 4 および 2 8 以降の処理は並列して行う。ステップ 2 4 でプログラムカウンタ 3 0 0 の値と選択されている処理長を比較する。一致する場合はステップ 2 6 の処理を実行し、一致しない場合はステップ 2 5 の処理を実行する。ステップ 2 5 でプログラムカウンタをカウントアップし、ステップ 2 2 の処理に戻る。ステップ 2 6 でプログラムカウンタ 3 0 0 をゼロにリセッ

トする。ステップ 27 で次処理の先頭アドレスおよび処理長を選択するようにセレクト信号を切り替え、ステップ 22 の処理に戻る。ステップ 28 で命令をフェッチする。ステップ 29 で命令を実行する。命令が記憶装置の書き換えであった場合、記憶装置の書き換えを行う。

【 0 0 3 6 】

以上のように、複数の演算処理を切り替えて処理していく際、各演算処理の先頭アドレスと処理長をあらかじめ記憶装置に格納しておき、プログラムカウンタの値、即ち各演算処理の先頭からの相対アドレスが処理長と等しくなった所で、先頭アドレスと処理長をハードウェアで次演算処理に切り替えることで、固定分岐処理に命令サイクルを費やさず、総演算処理を短縮する効果がある。また、実アドレスと処理長を比較した場合、処理長の方がデータ量が少なく、データ保持のためのハードウェア量を削減できる。

【 0 0 3 7 】

(実施の形態 3)

図 5 は本発明の実施の形態 3 に係わる分岐処理時の演算器制御装置を示すもので、以下、その構成について説明する。

【 0 0 3 8 】

同図において、記憶装置 100、先頭アドレス格納部 111, 112, 113、終了アドレス格納部 121, 122, 123、セクタ 201, 202、セレクト信号制御部 210、比較部 220、プログラムカウンタ 300、加算器 400、プログラム格納部 500、演算部 600、上位プロセッサ 700 は上述した実施の形態 1 に示した同符号のブロックと同様の機能を有する。

【 0 0 3 9 】

100A は先頭アドレス格納部 111A、112A、113A とそれぞれに対応する終了アドレス格納部 121A、122A、123A から成る記憶装置で、各アドレス格納部 111A～113A、121A～123A は上位プロセッサ 700 により書き換え可能である。また各アドレス格納部 111A～113A、121A～123A はセクタ 203, 204, 205, 206, 207, 208 を介して記憶装置 100 の各アドレス格納部に出力され、タイミング制御部 80

0によって制御されるタイミングで記憶装置100内の各アドレス格納部にセットされる。上位プロセッサ700から記憶装置100への書き込みデータを本記憶装置で一時保管することにより、現演算処理の演算結果を保証し、上位プロセッサ700の書き込み待ちをなくすることができる。なお、本実施形態では記憶装置100、100Aのアドレス格納部の数は各々3の場合を示したものであるが、それらのアドレス格納部の数は限定されるものではなく、任意数のアドレス格納部で構成することもできる。

【0040】

203, 204, 205, 206, 207, 208はセレクタであり、プログラム格納部500に格納される命令により書き換えと、上位プロセッサ700からの書き換えをセレクト信号制御部から入力されるセレクト信号によって選択している。800は記憶装置100Aから記憶装置100へのデータの書き写しタイミングを制御するタイミング制御部である。

【0041】

以上のように構成された演算器制御装置について、その動作を説明する。本実施の形態では分岐処理時の演算器制御方式は実施の形態1と同様である。ここでは、上位プロセッサ700からの記憶装置100Aおよび記憶装置100への書き込み動作について図6のタイミング図を用いて説明する。

【0042】

A1,A2は上位プロセッサ700から記憶装置100Aへの書き込みタイミングであり、内部の処理状態に係わらず任意のタイミングで書き込みを行う。B0,B1,B2はタイミング制御部800で制御されるタイミングであり、このタイミングで記憶装置100Aから記憶装置100へ、各演算処理の先頭アドレス、終了アドレスの書き換えを行う。

【0043】

上位プロセッサ700からA1のタイミングで記憶装置100Aに書き込まれた各演算処理の先頭アドレス、終了アドレスは、タイミング制御部800で生成されるタイミングB1で記憶装置100に書き込まれ、演算処理内容を変更する。

【0044】

上位プロセッサ700からの書き込みは、内部の処理状態に係わらず任意のタイミングであるため、直接、記憶装置100に書き込むと誤動作を起こす可能性がある。これを回避するため、上位プロセッサ700の書き込みを待たせる方法もあるが、上記のように、上位プロセッサ700から記憶装置100への書き込みを記憶装置100Bで一時保管することにより、現演算処理の演算結果を保証し、上位プロセッサ700の書き込み待ちをなくすることができる。

【0045】

(実施の形態4)

図7は本発明の実施の形態4に係わる分岐処理時の演算器制御装置を示すもので、以下、その構成について説明する。

【0046】

同図において、プログラムカウンタ300、加算器400、プログラム格納部500、演算部600、上位プロセッサ700、タイミング制御部800は上述した実施の形態3に示した同符号のブロックと同様の機能を有する。

【0047】

102はメモリ140で構成された記憶装置である。このメモリ140は各演算処理の先頭アドレスを格納し、アドレスレジスタ900の示すアドレスに格納された演算処理の先頭アドレスを加算器400に出力する。またこのメモリ140は上位プロセッサ700により記憶装置100Bに格納された各演算処理の先頭アドレスを、タイミング制御部800の制御するタイミングで任意のアドレスに書き換え可能である。なお、本実施の形態では、記憶装置100B内の先頭アドレス格納部を111Bの1つの場合を示しているが、複数の先頭アドレス格納部を用いることもできる。その場合、記憶装置100Bから記憶装置100への書き込みは、1アドレスずつ順次行う。

【0048】

230は終了フラグ検出部であり、プログラム格納部500に格納されている各命令に付加される演算処理終了フラグが立っているのを検出すると、プログラムカウンタ300へリセット信号、アドレスレジスタ900を更新するための信号を出力する。プログラム格納部500に格納されている各命令には演算処理終

了を示すためのフラグが設けてあり、各演算処理の最後の命令は予めこのフラグを立てた状態で格納している。

【 0 0 4 9 】

9 0 0 はアドレスレジスタであり、メモリ 1 4 0 上で次に読み出される先頭アドレスの格納されたアドレスを示している。

【 0 0 5 0 】

以上のように構成された演算器制御装置について、その動作を説明する。

【 0 0 5 1 】

なお、上位プロセッサ 7 0 0 から記憶装置 1 0 0 B への書き込み、および、タイミング制御部 8 0 0 が制御する記憶装置 1 0 0 B から記憶装置 1 0 2 への書き込みタイミングは、実施の形態 3 と同様であるが、書き込みは、現演算処理で使用中の先頭アドレスを格納しているメモリ 1 4 0 上の領域を除いて、任意のタイミングで可能である。

【 0 0 5 2 】

図 8 は図 7 に示す演算器制御方式のフローチャートである。以下、各ステップを説明する。ステップ 3 1 でプログラムカウンタ 3 0 0、記憶装置 1 0 2、1 0 0 B、アドレスレジスタ 9 0 0 を初期化する。ステップ 3 2 で記憶装置から選択された演算処理の先頭アドレスをロードする。ステップ 3 3 で先頭アドレスとプログラムカウンタの値を加算して実行する命令の絶対アドレスを求める。ステップ 3 4 で命令をフェッチする。本処理の後、ステップ 3 5 および 3 9 以降の処理は並列して行う。ステップ 3 5 で命令の演算処理終了フラグが立っているかチェックする。立っている場合はステップ 3 7 の処理を実行し、立っていない場合はステップ 3 6 の処理を実行する。ステップ 3 6 でプログラムカウンタをカウントアップし、ステップ 3 2 の処理に戻る。ステップ 3 7 でプログラムカウンタをゼロにリセットする。ステップ 3 8 でアドレスレジスタの値を更新し、ステップ 3 2 の処理に戻る。ステップ 3 9 で命令を実行する。

【 0 0 5 3 】

以上のように、複数の演算処理を切り替えて処理していく際、各演算処理の先頭アドレスをあらかじめ記憶装置に格納しておくと共に、各演算処理の最後の命

令に、予め演算処理の終了を示すフラグを立てておき、このフラグを検知すると処理対象となる演算処理の先頭アドレスをハードウェアで次演算処理に切り替えることで、固定分岐処理に命令サイクルを費やさず、総演算処理を短縮する効果がある。また、演算処理切り替えのために保持しておくアドレスは先頭アドレスのみであり、データ保持のためのハードウェア量を削減できる効果もある。加えて、上位プロセッサ 700 からの書き込みは、内部の処理状態に係わらず任意のタイミングであるため、直接、記憶装置 102 に書き込むと誤動作を起こす可能性がある。これを回避するため、上位プロセッサ 700 の書き込みを待たせる方法もあるが、上記のように、上位プロセッサ 700 から記憶装置 102 への書き込みを記憶装置 100B で一時保管することにより、現演算処理の演算結果を保証し、上位プロセッサ 700 の書き込み待ちをなくすることができる。

【0054】

【発明の効果】

以上のように、本発明の演算器制御装置によれば、各演算処理の終了をハードウェアで検出し、最終の命令実行と同時に次演算処理の先頭に処理を移行するため、演算処理移行時の固定分岐処理に命令サイクルを費やさず、総演算処理を短縮する効果がある。また、実行する処理内容を本演算器自身または外部プロセッサから制御可能であり、処理の柔軟性を高める効果がある。

【図面の簡単な説明】

【図1】

本発明の実施の形態1における演算器制御装置を示すブロック図

【図2】

同実施の形態1のフロー図

【図3】

本発明の実施の形態2における演算器制御装置を示すブロック図

【図4】

同実施の形態2のフロー図

【図5】

本発明の実施の形態3における演算器制御装置を示すブロック図

【図 6】

同実施の形態 3 における要部のタイミング図

【図 7】

本発明の実施の形態 4 における演算器制御装置を示すブロック図

【図 8】

同実施の形態 4 のフロー図

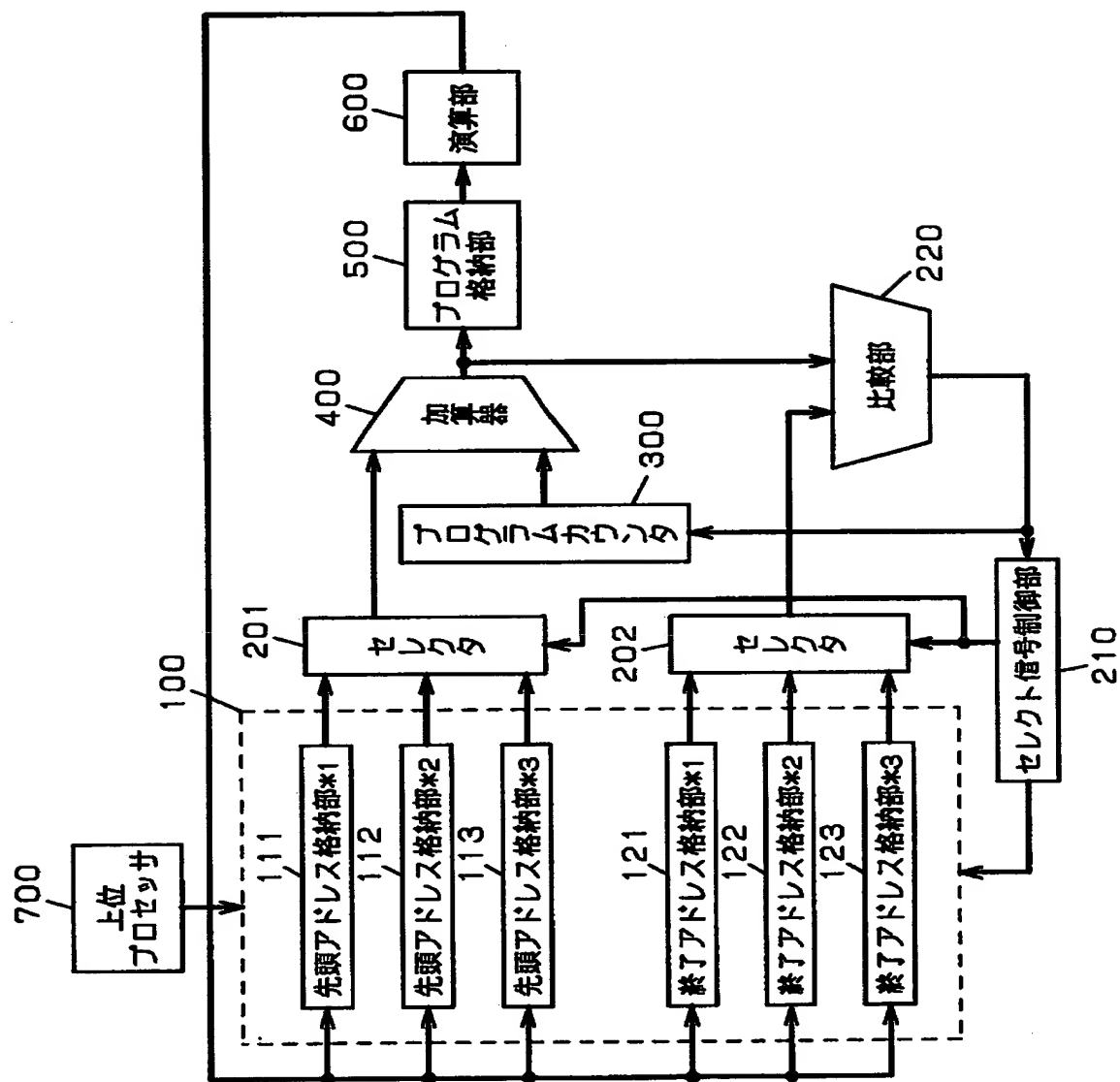
【符号の説明】

- 1 0 0 記憶装置
- 2 0 1 セレクタ
- 2 0 2 セレクタ
- 2 1 0 セレクト信号制御部
- 2 2 0 比較部
- 3 0 0 プログラムカウンタ
- 4 0 0 加算器
- 5 0 0 プログラム格納部
- 6 0 0 演算部
- 7 0 0 上位プロセッサ

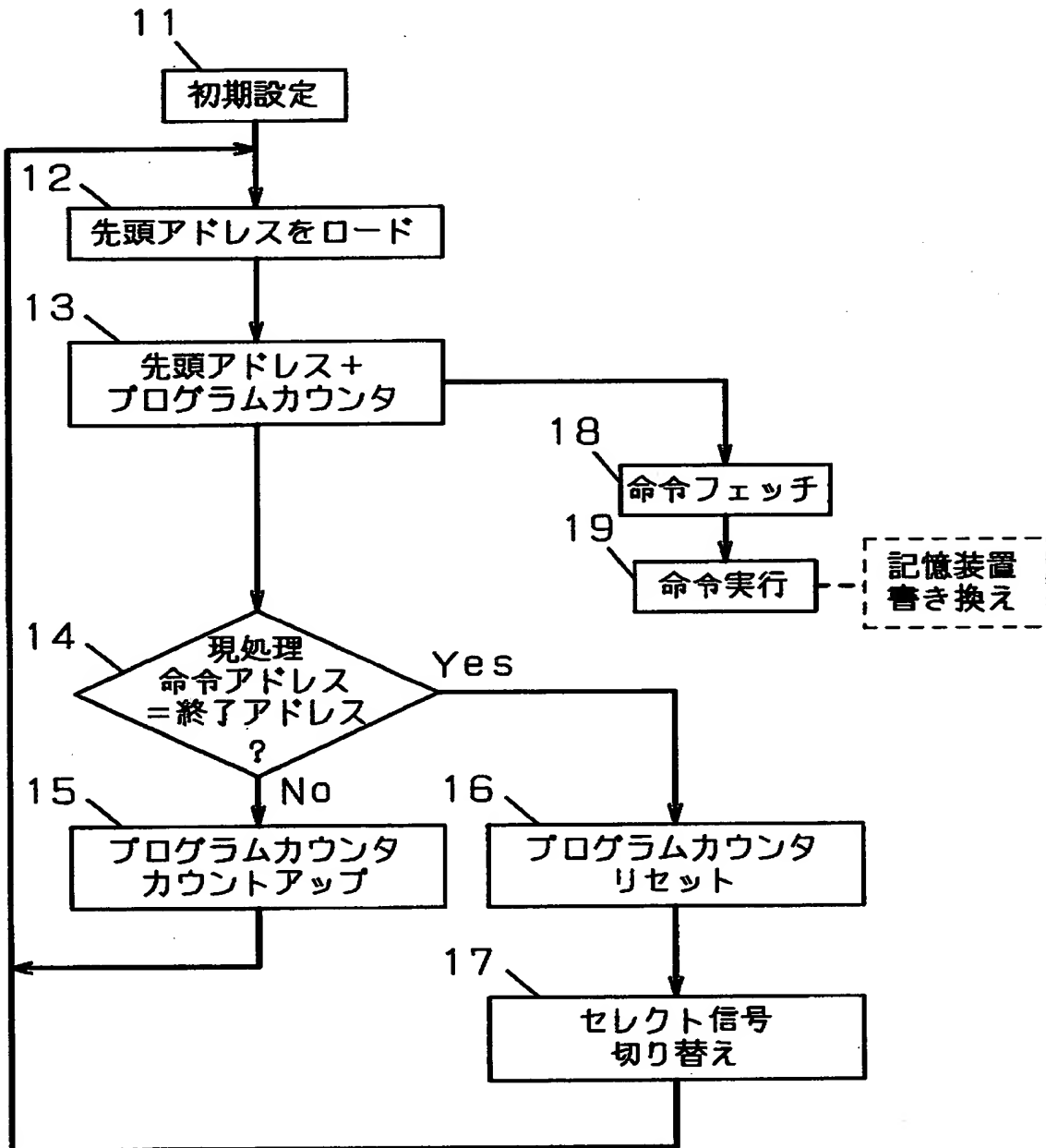
【書類名】

図面

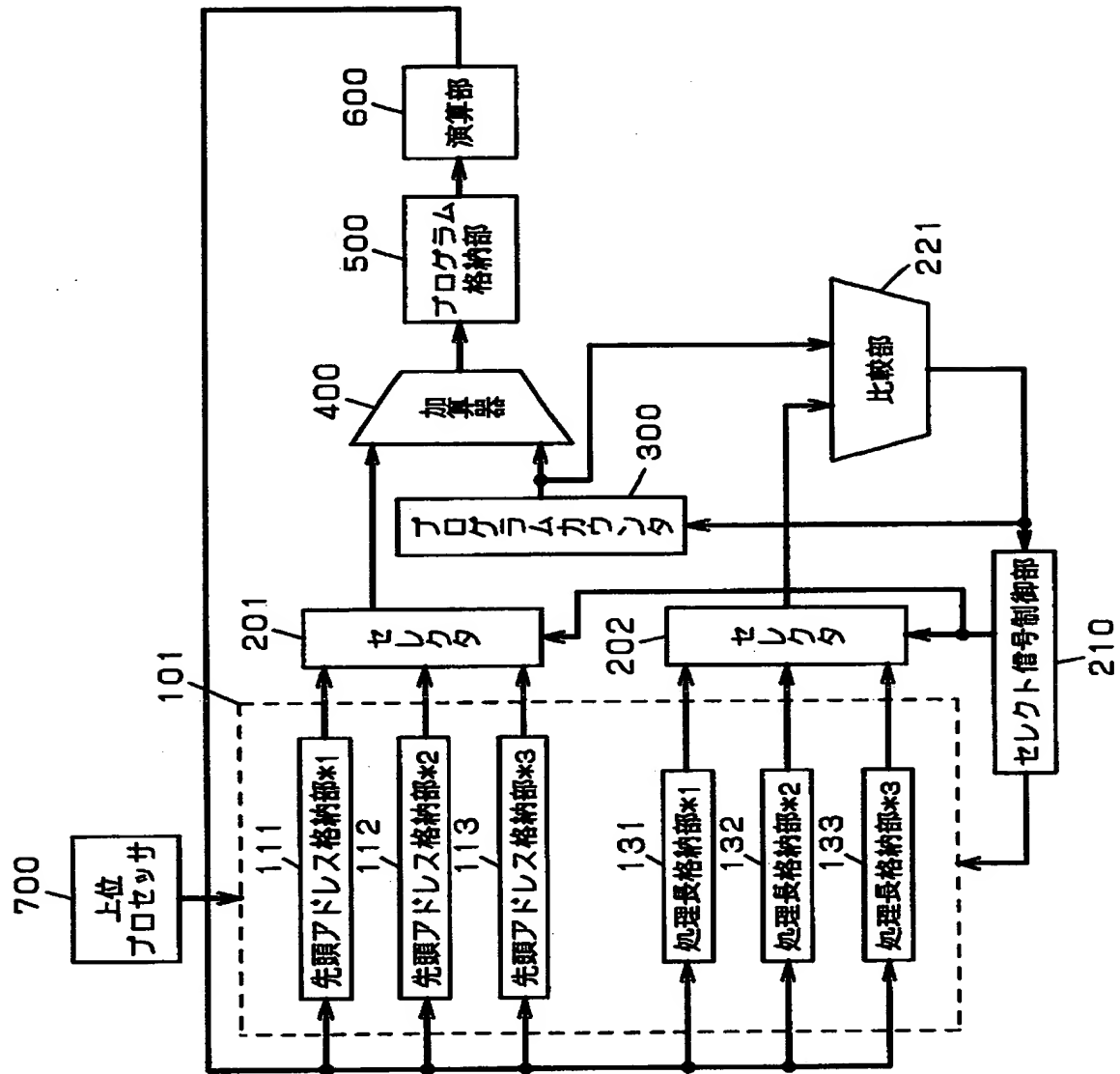
【図 1】



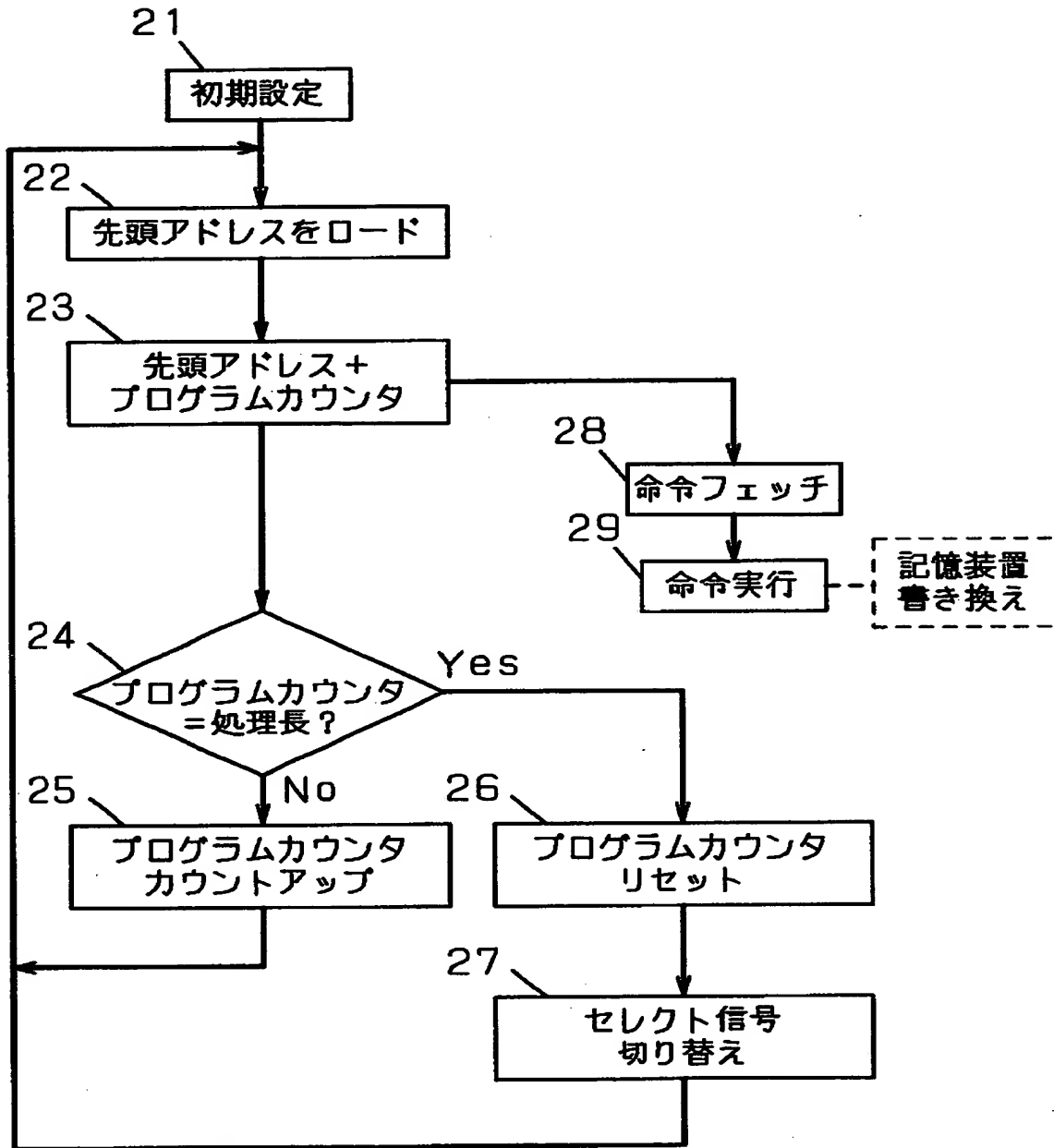
【図2】



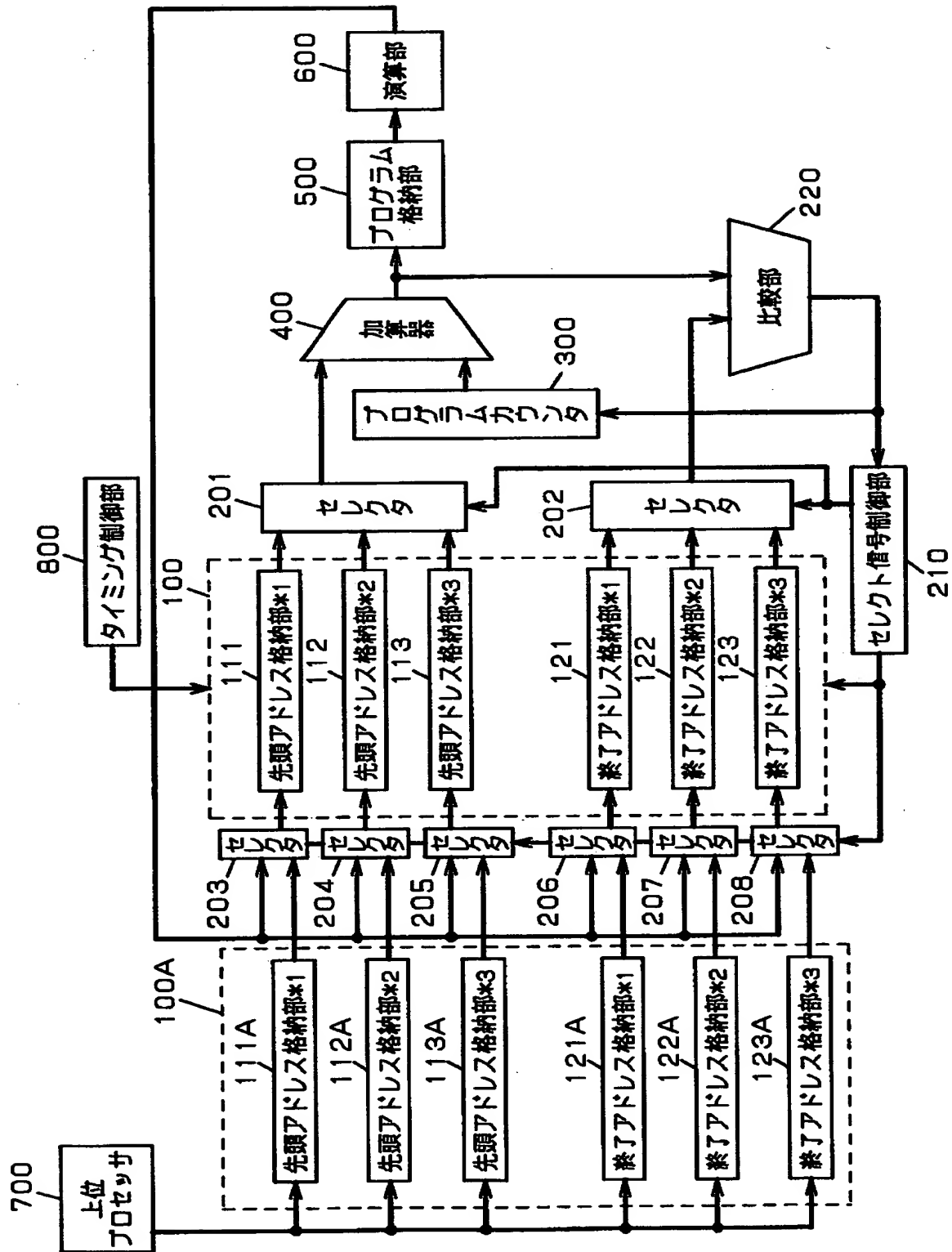
【図 3】



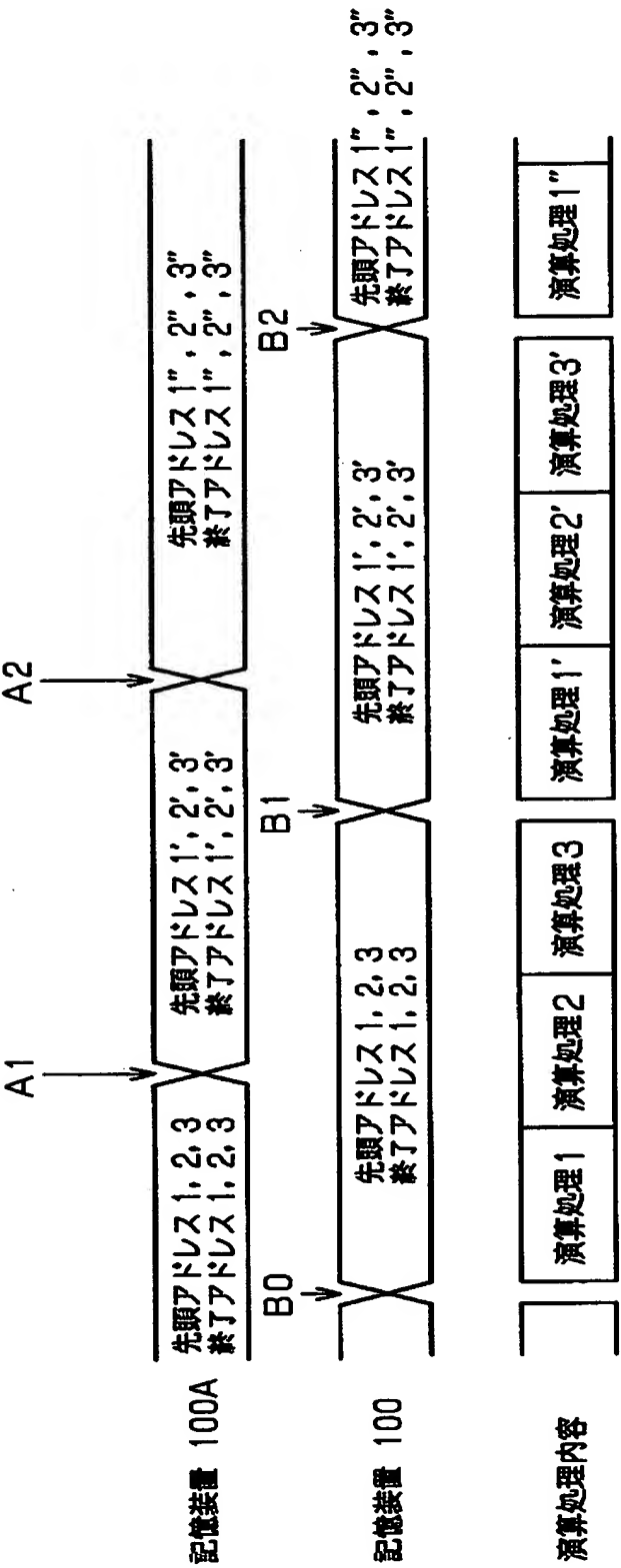
【図4】



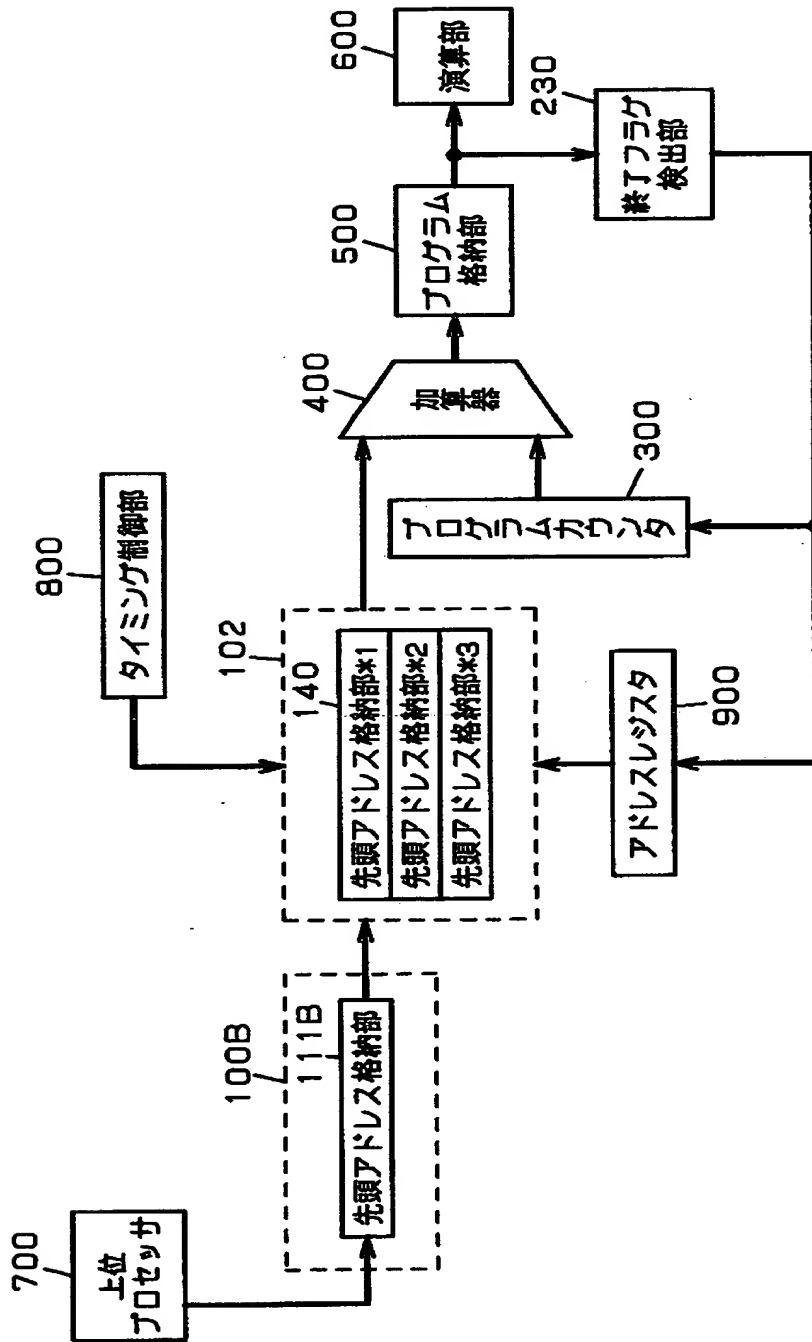
【図 5】



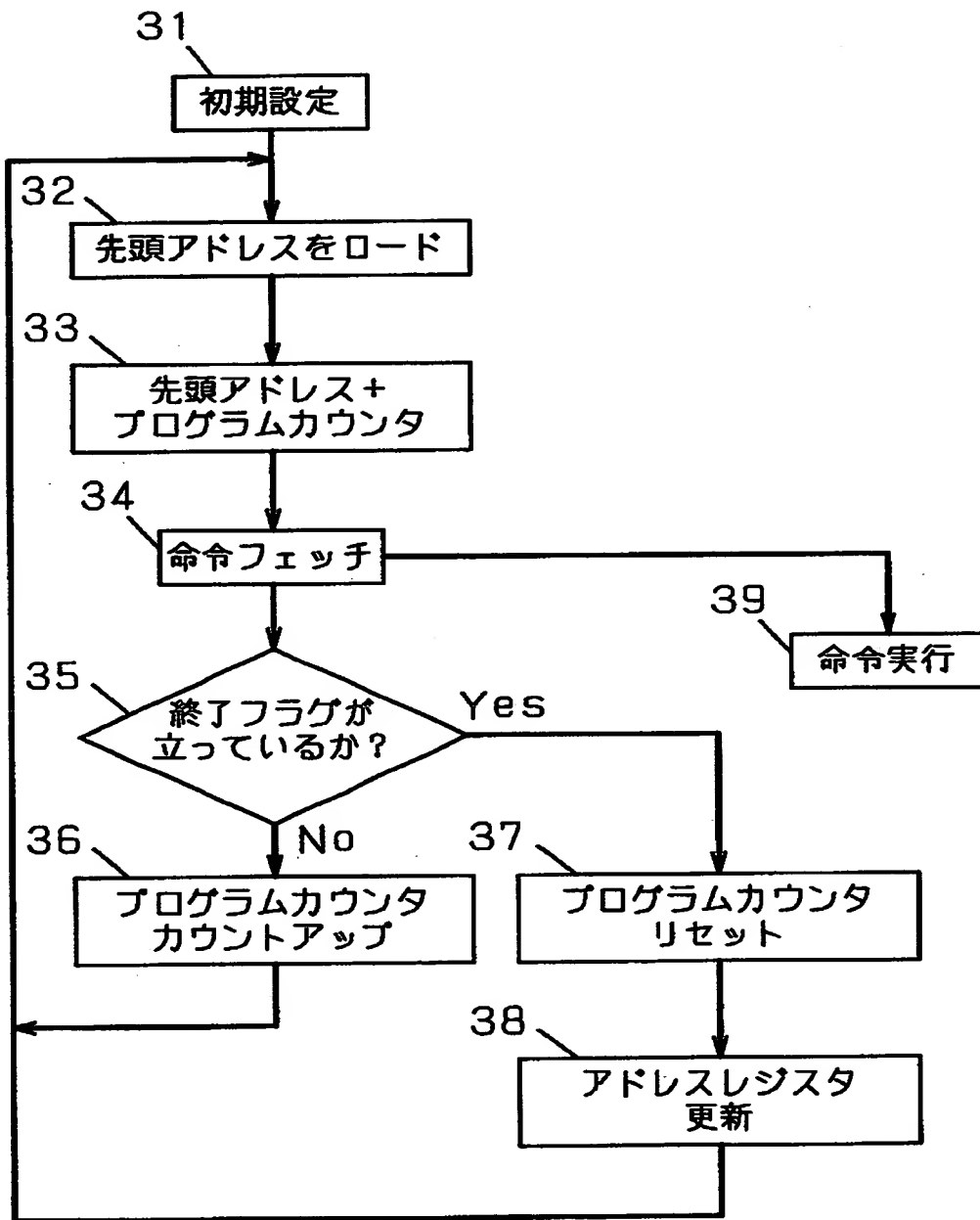
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 複数の演算処理を順次切り替えて実行していく処理において、処理切り替え時に発生する分岐処理に命令サイクルを費やさない制御を可能にする。

【解決手段】 記憶装置 1 0 0 内の先頭アドレス格納部 1 1 1, 1 1 2, 1 1 3 および終了アドレス格納部 1 2 1, 1 2 2, 1 2 3 に各演算処理の先頭アドレスと終了アドレスを格納しておき、セレクト信号制御部 2 1 0 からの信号によりセクタ 2 0 1、セクタ 2 0 2 で選択しておく。選択した先頭アドレスとプログラムカウンタ 3 0 0 の値を加算し、命令の絶対アドレスを得て、演算部 6 0 0 にて実行する。同時に、得られた絶対アドレスと選択されている終了アドレスを比較部 2 2 0 で比較し、一致した場合、プログラムカウンタ 3 0 0 のリセットと、セレクト信号制御部から出力されているセレクト信号を切り替えることで、次処理を次演算処理の先頭に切り替える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社